

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-050148

(43)Date of publication of application : 18.02.2000

(51)Int.Cl. H04N 5/232  
H04N 5/222

(21)Application number : 10-210906 (71)Applicant : HITACHI DENSHI LTD

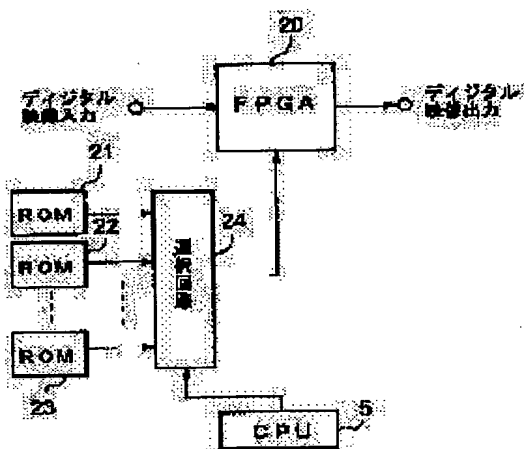
(22)Date of filing : 27.07.1998 (72)Inventor : ABE SHIGETO

## (54) TELEVISION CAMERA DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a device capable of coping with changes of the number of pixels of a frame image, etc., by a small scale circuit and simplified structure of the device by making a field programmable logic device (FPGA) to be constituted as video signal processing circuit structure according to detected sampling clock rate.

**SOLUTION:** Clock rate of a video signal according to the changes of the number of pixels of the frame image or aspect ratio of a CCD is detected and detected information is outputted to a ROM selecting circuit 24 by a CPU part 5. Pieces of control data corresponding to each clock rate of the video signal are stored in ROMs 21 to 23, these pieces of the control data are outputted from each of the ROMs 21 to 23 and are inputted in the ROM selecting circuit 24. Structuring of logic for changing a filter coefficient and the number of taps, etc., of a digital filter is performed by selecting the control data from the ROMs 21 to 23 in this way by this device. Thus, internal logic structure of the FPGA 20 is structured to be suitable for each clock rate.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office





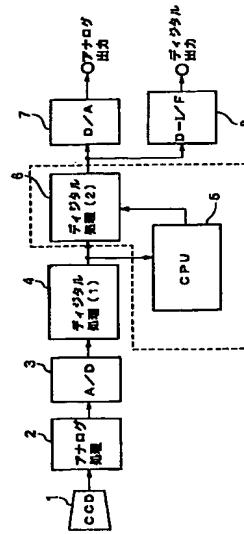
て、分離されたデータ信号をCPU部15へ出力し、分離された映像信号をROMロードタイプFPGAを用いたデジタル信号処理回路6へ出力する。なお、このデジタル信号処理回路6の構成は、図3に示した第一の実施例のデジタル信号処理回路6と全く同じである。そして、このデジタル信号処理回路6は、CPU部15の制御により、上記選択されたカメラヘッドからの映像信号のクロックレートに応じた信号処理を行う。

【0033】このように処理されたデジタル映像信号17はD/A変換器7でアナログ映像出力信号に変換される。あるいはデジタルI/F回路8を介して、デジタル映像出力信号として後段（図示せず）へ出力される。

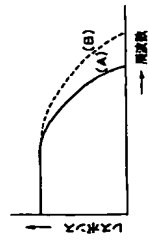
【0034】以上のように、従来のシステムで必要としたユニットの入替え機能や、複数の回路を並列に設けて回路構成を拡大なものとすることなく、同一のCCUに異なる面数のCCDをもつカメラヘッドを複数接続することが可能となり、カメラシステムの運用性を大幅に向上させることができる。

【0035】なお、以上の説明ではROMに格納されたデータに基づき、CCDの面数に応じたデジタル信号処理を行う素子にFPGAを用いたが、DSP（デジタルシグナルプロセッサ）を代わりに用いても、同様の効果を得ることが可能である。

【図1】



【図5】



【0036】

【発明の効果】以上説明したように、本発明によれば、CCDの面数又はフレーム画像のアスペクト比に適したデジタル信号処理を簡単に行うことが可能となり、かつ、装置の小型化・低コスト化と共に、システムの運用向上を図ることができる。

【図面の簡単な説明】

【図1】本発明のテレビジョンカメラ装置の一実施例のブロック構成を示す図

【図2】本発明のテレビジョンカメラ装置の他の一実施例のブロック構成を示す図

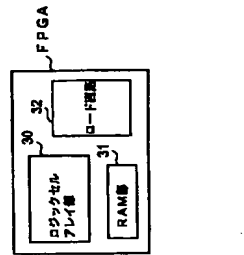
【図3】本発明に係わるデジタル信号処理回路のブロック構成例を示す図

【図4】ROMロードタイプのFPGAの内部ブロック構成例を示す図

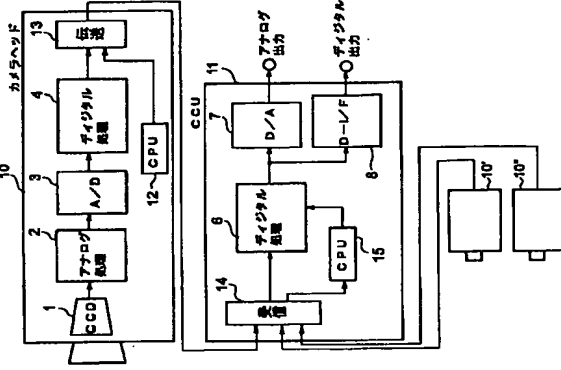
【図5】デジタルフィルタの周波数特性を説明するための図

【符号の説明】  
1：CCD撮像素子、2：A/D変換回路、3：デジタル信号処理回路、4：D/A変換回路、5：12、15：CPU部、6、16：デジタル信号処理回路、7：D/A変換回路、8：デジタル信号処理回路、9：D/A変換回路。

【図4】



【図2】



【図3】

